

投稿類別：工程技術類

篇名：最新數位電子乙級技術士技能檢定術科試題（三）－

CPLD 數位電子鐘之理論探討與實作研究

作者：：

朱品仲。台北市立松山工農。電子科二年級智班

湯博宇。台北市立松山工農。電子科二年級智班

指導老師：

柯秉鈞 老師

壹●前言

一、研究背景與動機

現代設計數位邏輯電路的工具與元件日新月異，每每都在求新求變，複雜可程式邏輯裝置（CPLD）便是其中一項了不起的發明。老師問：在麵包板上裝配電子元件，和在電腦上繪圖，哪個比較快速、方便呢？我們回答：在電腦上繪圖比較快！沒錯，一張電路圖，若將電子元件裝配在麵包板上，動輒三、四個小時；但是，如果改在電腦上繪圖可能只需花三十分鐘！

再者，數位電子乙級技術士技能檢定術科試題的內容可謂完全植基於 CPLD 元件的應用，與本科高二課程安排相符合，因此，通過乙級技能檢定取得證照，除了可驗證所學外，對於畢業時擬以技優生申請科技大學就讀的進路發展，有莫大助益，一舉數得！

二、研究方法與目的

本次研究採用 MAX+plus II 10.2 為發展軟體，在此環境之下，依據勞委會中部辦公室 100 年剛修定、公佈之「**最新修定之數位電子乙級技術士技能檢定術科試題（三）－ CPLD 數位電子鐘**」所要求的功能（註一），繪製數位邏輯電路圖（.gdf 檔），然後進行波形模擬，符合預期的結果之後，再燒錄於 CPLD 內，配合其他週邊的硬體電路，以期完成整體的功能測試為研究目的。

藉由本次研究的歷程，還要探討計數器電路常常可能發生計數錯誤的原因，並尋求解決問題的方法，以累積報考數位電子乙級技術士技能檢定的實力。

三、研究設備及器材

（一）硬體、材料需求（表一）

表一 硬體、材料需求

名稱	規格	數量
函數波信號產生器	0.1 Hz ~ 6 MHz	1

示波器、探棒	60 MHz	1
數位電子乙級檢定機台		1
CPLD 電路板	EPM3064ALC44-4	1
3.3V 穩壓 IC	LD1117V33	1
碳膜電阻器	1K Ω 1/4W	1
陶瓷電容器	100 μ F/50V	1
陶瓷電容器	0.1 μ F/50V	1
陶瓷電容器	30 μ F/50V	1
電解電容器	10 μ F/16V	1
排針母座	單排 15 PIN，2.54mm	2

(二) 使用軟體

Microsoft Word 2007、PhotoImpact 12
MAX+plus II 10.2 BASELINE3 (EDA)

貳●正文

一、CPLD 介紹

(一) CPLD 是什麼

CPLD (Complex Programmable Logic Device) 是複雜可程式邏輯裝置，適合用來實現各種運算和組合邏輯 (combinational logic)。一顆 CPLD 內等於包含了數顆的 PAL (可程式化陣列邏輯)，各 PAL (邏輯區塊) 間的連線可用以執行程式的規劃及燒錄，CPLD 運用這種多合一 (All-In-One) 的整合方式，可縮小電路所需要用到的空間，例如：原本可能需要大半個麵包版才能作完成的電路，只用一個 CPLD 便可以代替所需要的 IC 元件 (註二)。

(二) CPLD 的特點

1.時效性：可以縮短產品開發的時間。

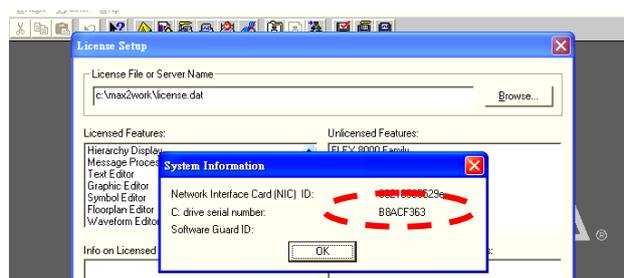
2. **容量大**：現在所生產的 CPLD，其容量（內含的元件數量）遠大於傳統的 PLD；容量大以及方便燒錄的特性方便學生能大量運用。
3. **成本降低、可靠度增加**：使用 IC 數變少，印刷電路板（PCB）面積變小，成本降低；佈線變少、短，分佈電容、電感對系統的干擾減少很多，所以整體的可靠度增加。
4. **工作速度提高**：整個電路的密集度高，雜散電容少，因而電路可以在更高頻率的環境下工作。
5. **設計與維護容易**：可以使用邏輯描述語言（VHDL、AHDL、Verilog HDL 等語言）、與電路圖等自動化工具完成設計、模擬；且可重覆燒錄，所以在設計與維護上均十分便利。
6. **快速建立系統原型**，省去 IC 測試成本。此外，幾乎所有 CPLD 的 IC 均支援 ISP (In System Program)，即可直接在電路上隨時規劃（燒錄）CPLD 晶片，之後就可進行電路的硬體驗證工作。（黃慶璋、蔡忠勇,2009）(註三)

(三) CPLD 及 MAX+plus II 10.2 BASELINE 應用

使用 CPLD 需配合 MAX+plus II 10.2 BASELINE 軟體使用。

1. 安裝 MAX+plus II 10.2 BASELINE 軟體的步驟：

利用光碟進行軟體安裝，然後進入軟體，找出所使用電腦的硬碟序號（如圖一）。



圖一 取得電腦硬碟序號 B8ACF363

2.連結到 ALTERA 公司的首頁 <http://www.altera.com> 申請授權檔 license.dat (申請授權檔時要輸入電腦的硬碟序號)。

3.安裝驅動程式 (Driver)：

- (1) 至控制台選取新增硬體、選取音效、視訊及遊戲控制器。
- (2) 點選從磁片中安裝、在複製來源找到 Driver\win2000。
- (3) 持續按「下一步」、至完成安裝。

4.完成上述步驟才能開始使用此軟體。

二、數位電子鐘電路之功能要求與工作原理

(一) 電路之功能要求

1. 電源開關 (SW1) ON 時，顯示器應顯示 00：XX (XX 為任意數字)。
2. (1) S1 開關 ON 時，為「計時調整模式」，「：」LED 應保持發亮。
(2) S1 開關 OFF 時，為「正常計時模式」，「：」LED 應跟著「秒」的速率閃爍。
3. 進入「時」、「分」之「計時調整模式」
 - (1) 按下 S2 開關 (ON) 時：可進行「時」部份之調整，顯示數字由 00 至 23。
 - (2) 按下 S3 開關 (ON) 時，可進行「分」部分之調整，顯示數字由由 00 至 59。

(二) 電路之工作原理

1. 24 模的 BCD 計數器功能 (圖二)

另外兩組多工器的功能分別為：

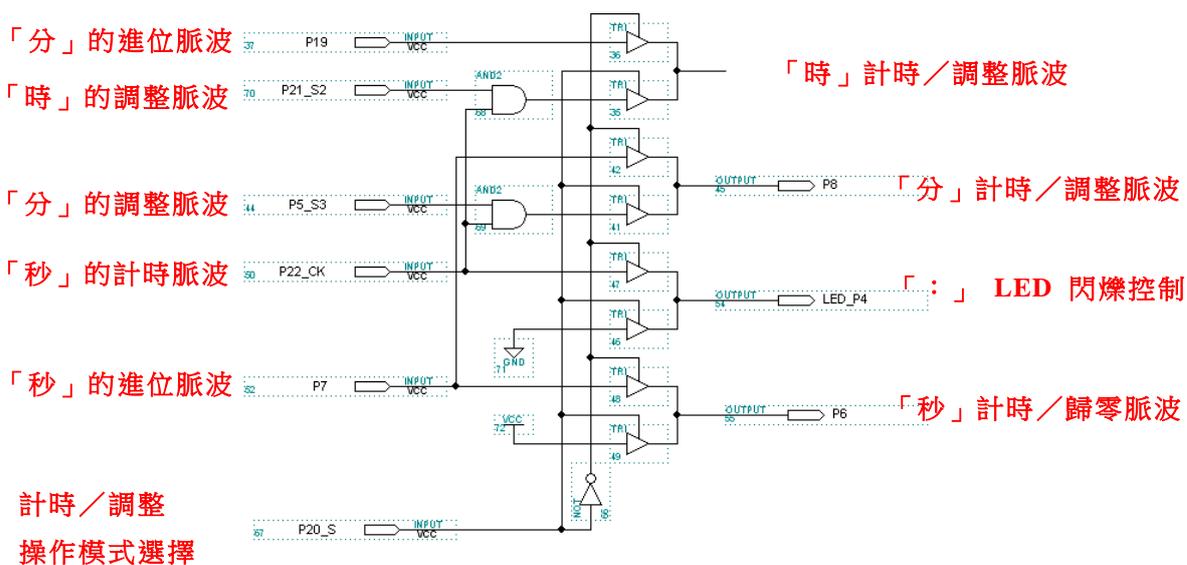
(1). 「秒」之 LED 的狀態：

「正常計時模式」：讓 LED 隨著函數波產生器之 1Hz 閃爍變化。

「計時調整模式」：讓 LED 持續亮著。

(2). 從「計時調整模式」回到「正常計時模式」時，清除「60秒」的計數器；

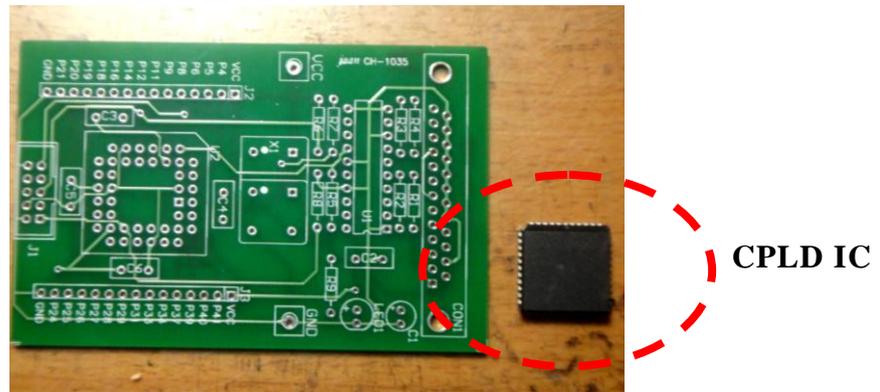
若在「正常計時模式」時，「秒」的計數器會由 00 計數到 59，當計數器「歸零」時會產生一個負緣的脈波輸出，使「分」的計數器「進位」加 1。(林榮松,2011)（註四）



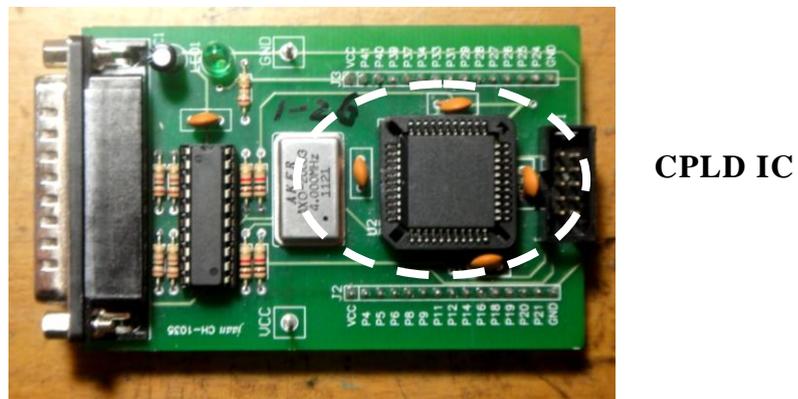
圖三 利用三態閘組成的多工器電路

三、CPLD 電路板

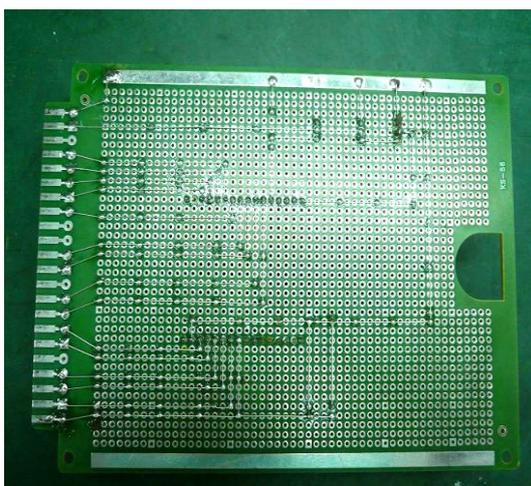
圖四 ~ 圖七分別為 CPLD 電路空板零件面、CPLD 電路板完成圖、母電路板焊接面及母電路板元件面圖。



圖四 CPLD 空板（零件面）



圖五 CPLD 完成圖



圖六 母板焊接面圖



圖七 母板元件面圖

四、電路測試方法與困難問題排除

- (一) 若使用 NE555 振盪器產生脈波而加入母電路板 P22 腳，則會因為脈波「不乾淨」－諧波太多，導致無法正常計時計數、需要在「P22 腳與接地」之間並聯陶瓷電容，

我們由 1000 pF 開始測試，經過多次「嘗試錯誤」，終於找到可以使脈波穩定的電容器－122 pF，

- ※ 在「P22 腳與接地」之間並聯一顆 122 pF 的陶瓷電容可以使在「計時調整模式」時，數字顯示「穩定遞增」。(圖八)

- (二) 自母電路板 P22 腳加入函數波信號產生器之 1Hz TTL 脈波以測試計數器是否正常計時計數。(圖九)



圖八 電子鐘「計時調整模式」測試



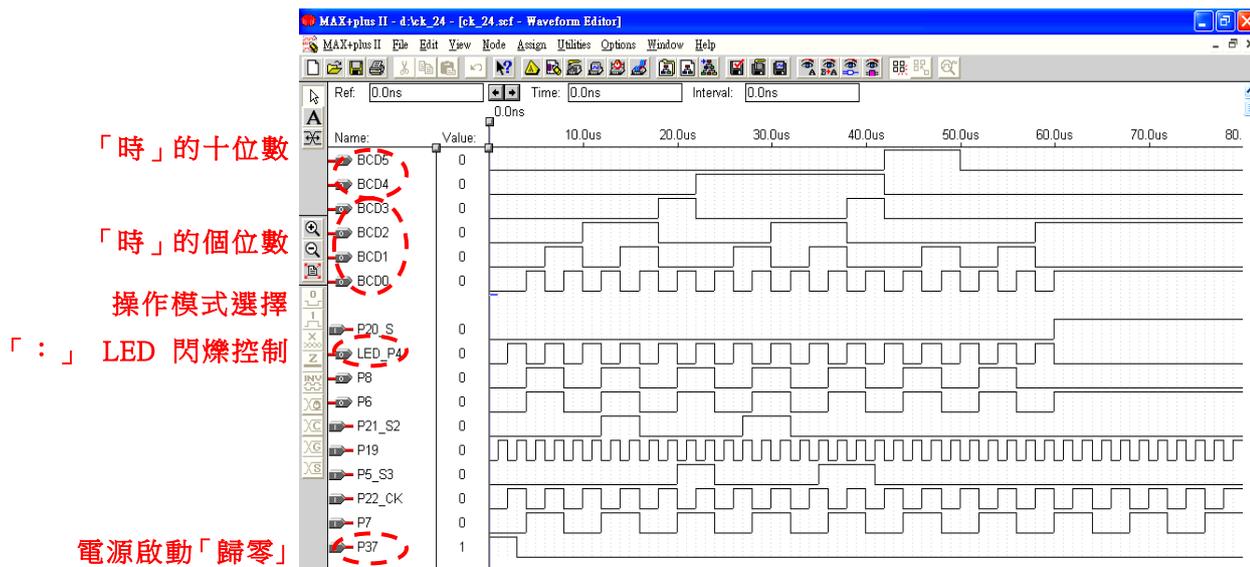
圖九 電子鐘「正常計時模式」測試

- (三) 使用 MAX+plus II 10.2 BASELINE 軟體做波形模擬 (圖十)

- (1). BCD4,5 為「時」的十位數輸出，當波形為 00 時，十位數字為 0；波形輸出為 01 時，十位數字為 1；波形輸出為 10 時，十位數字為 2。
- (2). BCD0~3 為「時」的個位數輸出，當波形為 0000 時，個位數字為 0；當波形為 0001 時，個位數字為 1；依此類推至波形輸出為 1001 時，個位數字為 9；然後就進位。

(3). P20_S 接腳為操作模式選擇，當輸入 1 時為「計時調整模式」，LED 會恆亮，按下 S2，「時」遞增調整，按下 S3，「分」遞增調整，若輸入 0 則為「正常計時模式」，LED 每秒閃爍一次，「分」每六十秒遞增 1，「時」每六十分鐘遞增 1。

(4). P37 接腳輸入使每次加入電源時，將「分」顯示歸零。



圖十 數位電子鐘電路模擬波形圖

參●結論

- 一、CPLD 是個很好用的元件，可以使原本非常複雜的電路製作變的十分簡單，使我們得以縮短學習數位邏輯電路的時間，並提高學習的成效。
- 二、對於「最新修定之數位電子乙級技術士技能檢定術科試題（三）－CPLD 數位電子鐘」計時計數不穩定的現象，我們發現：可以並聯 122 pF 的陶瓷電容器而獲得解決，但零件都會有些誤差，所以，適合的電容值會有些差異，得依電路板嘗試一下。
- 三、可以藉由外接函數波信號產生器之 1Hz TTL 脈波，輸入至母電路板 P22 腳，以診斷電路圖是否有錯誤。正確狀況，「時」會由 0 遞增計數至 23、「分」會由 0 遞增計數至 59；若將頻率升高，則可以使計數數率增快。

四、使用 MAX+plus II 10.2 BASELINE 時要注意接線，因為，只要有一條線誤接，組譯時就會出現錯誤訊息，所以，每一步驟都必須格外謹慎小心。

五、程式化燒錄 CPLD 時，電源電壓為 3.3V（不是 5V），如果超過太多，可能會將 CPLD 子電路板燒毀；若電壓過低，則電腦可能會出現偵測不到 CPLD 元件的訊息。

肆●引註資料

註一、行政院勞工委員會中部辦公室（2011）。數位電子乙級技術士技能檢定術科測試參考資料。臺中市：行政院勞工委員會中部辦公室

註二、維基百科 <http://zh.wikipedia.org/wiki/CPLD>

註三、黃慶璋、蔡忠勇（2009）。數位邏輯設計（VHDL入門實務）。臺北縣：台科大。

註四、林榮松（2011）。乙級數位電子術科攻略（使用 AHDL）。全華。