

投稿類別：工程技術類

篇名：

最新數位電子乙級技術士技能檢定術科試題（一）－
四位數多工顯示器之理論探討與實作研究

作者：

陳仕賢。臺北市立松山高級工農職業學校。日間部。電子科二年級智班
廖紘緯。臺北市立松山高級工農職業學校。日間部。電子科二年級智班

指導老師：
柯秉鈞老師

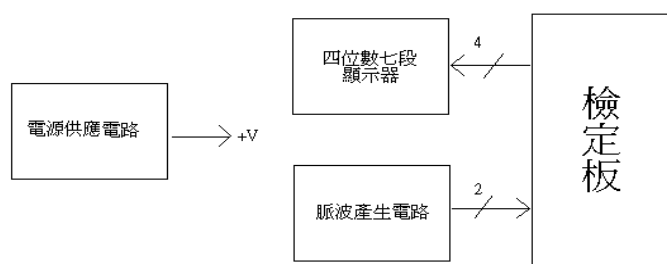
壹•前言

由於半導體材料製程的進步，在元件的體積及邏輯閘數量上都有驚人的發展，然而今日半導體廠商所設計出的 CPLD (複雜型可程式化邏輯元件)，不但快速且消耗功率低，還可大幅的簡化電路的設計，因此已成為設計數位系統的主流，所以我們決定研究 CPLD 的功能，並且以勞委會中部辦公室 100 年剛修定、公佈之「最新修定之數位電子乙級技術士技能檢定術科試題(一)-四位數多工顯示器」為研究主題，其須在子電路板 CPLD 晶片內完成電路功能，並插到已裝置部分機台上測試整體功能。

貳•正文

一. 四位數多工顯示器之方塊圖:

使用 NE555 振盪器產生脈波使計數器計數，再藉由多工器傳到四位數七段顯示器之方塊圖如【圖 1】。

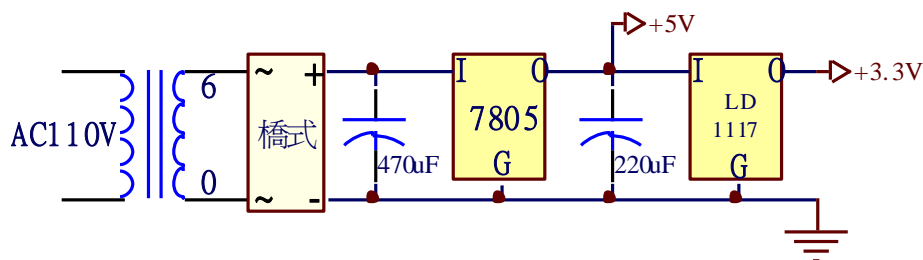


【圖 1】四位數多工顯示器之方塊圖(林榮松，2011)

二. 電路圖

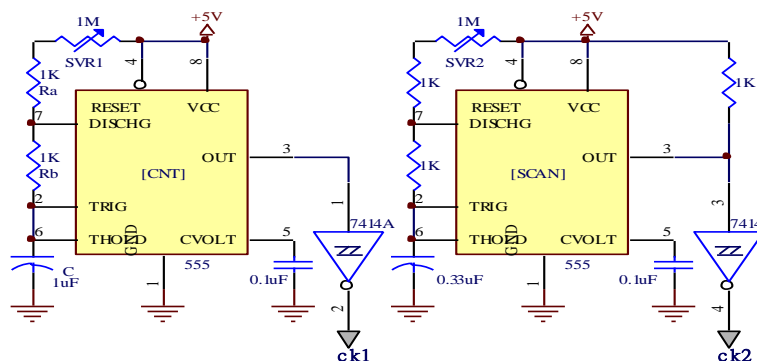
(一). 已裝置部份之電路圖

由於電路圖太大，故分成四個部分，電源【圖 2】、IC NE555 振盪器【圖 3】、七段顯示解碼器【圖 4】及 74155 解碼器 (在此搭配電晶體，功能似多工器)、七段數字顯示器【圖 5】。



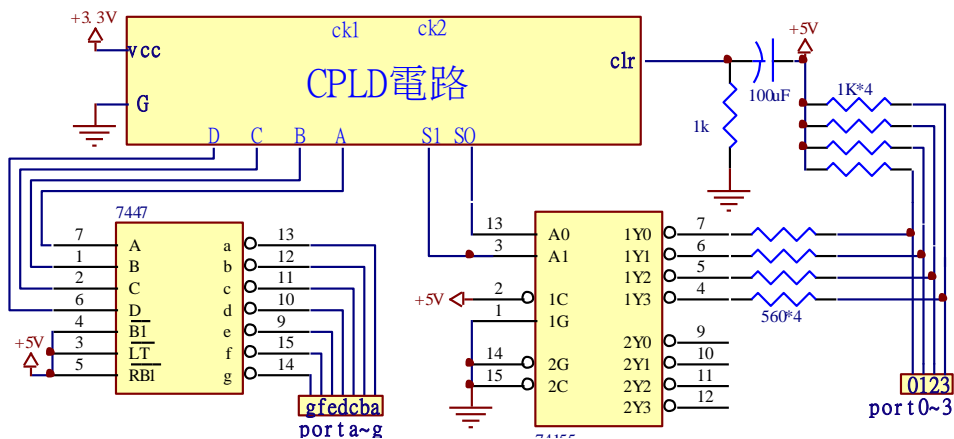
【圖 2】電源電路圖

【圖 2】利用次級圈 6V 變壓器，接上橋式整流器、濾波電容後、7805 之 5V 穩壓 IC、濾波電容，最後再裝置一 LD1117 之 3.3V 穩壓 IC，分別從兩 IC 之輸出端引出，即可得到 5V 和 3.3V 兩種電壓源。



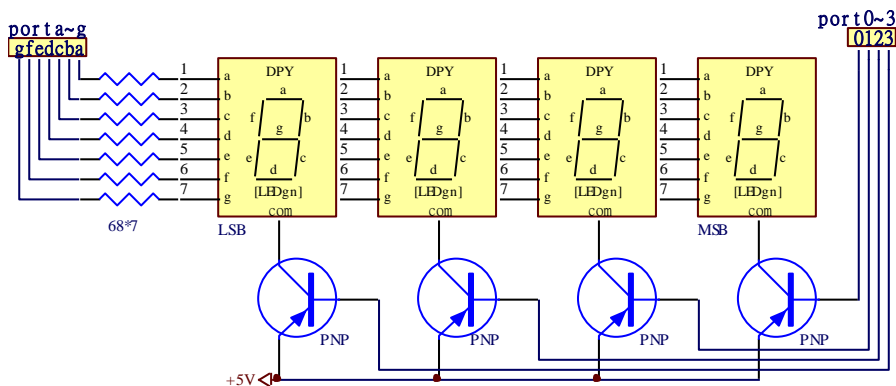
【圖 3】NE555 振盪輸出電路

【圖 3】左邊 NE555 是計數 [CNT] 用，右邊 NE555 則是掃描 [SCAN] 用，NE555 的輸出各接一 7414 樞密特反閘，然後分別接到 CPLD 電路的 ck1 和 ck2 接腳。



【圖 4】七段顯示器解碼及 74155 解碼電路

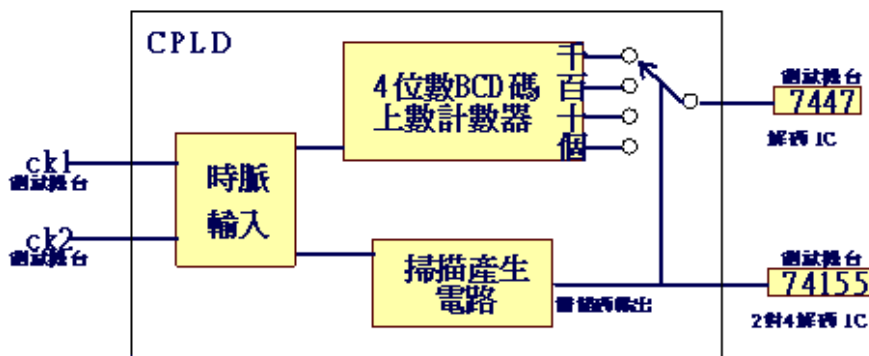
【圖 4】CPLD 內計數器電路的 BCD 碼輸出 (D.C.B.A) 接到 7447 解碼器的對應接腳，其 a~g 經由匯流排 porta~g 接至七段顯示器 a~g 接腳。S0.S1 和 74155 解碼器的 A0.A1 連接，1Y0~1Y3 則經由匯流排 port0~3 依序與各 PNP 電晶體基極接妥。



【圖 5】四位數七段顯示器電路

【圖 5】中的四位數七段顯示器已在內部將各位數的 a ~ g 節 LED 接通，接上限流電阻再與【圖 4】中的 port a~g 相對應連接。每個 PNP 電晶體的 C 極各接上七段顯示器的共點、E 極拉至+5V，port0~3 則與【圖 4】相對應的 port0~3 依序連接。

(二). 子電路板 CPLD 內部電路架構圖



【圖 6】子電路板 CPLD 晶片內部電路架構圖(黃國倫，2011)

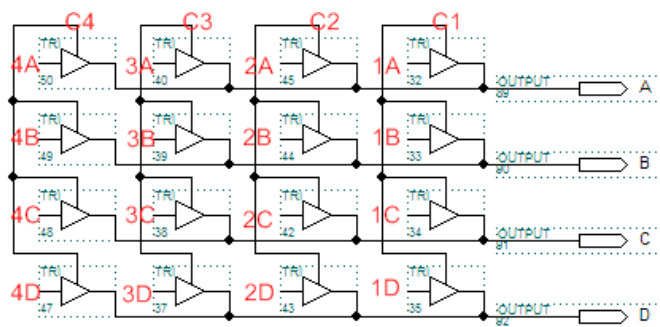
【圖 6】中，黑框內為 CPLD 需自行設計的電路，而黑框外為已裝置於檢定單位準備之檢測機台上的元件。

三.電路工作原理:

CPLD 子電路內部分為三個部分：多工器－以三態閘（TRI）組成、二位元 4 模計數器（掃描控制）及四位 BCD 計數器

(一). 多工器原理:

多工器使電路設計能大幅減少功率消耗及接線的數量，藉由時間控制，將資料分批傳送，因此，我們運用多工器將四組 BCD 計數器計數的內容，傳送至四位數七段數字顯示器上，讓顯示器上能夠計數 0000~9999，透過頻率調整，改變計數快慢，使之達到類似碼表的計時功能。



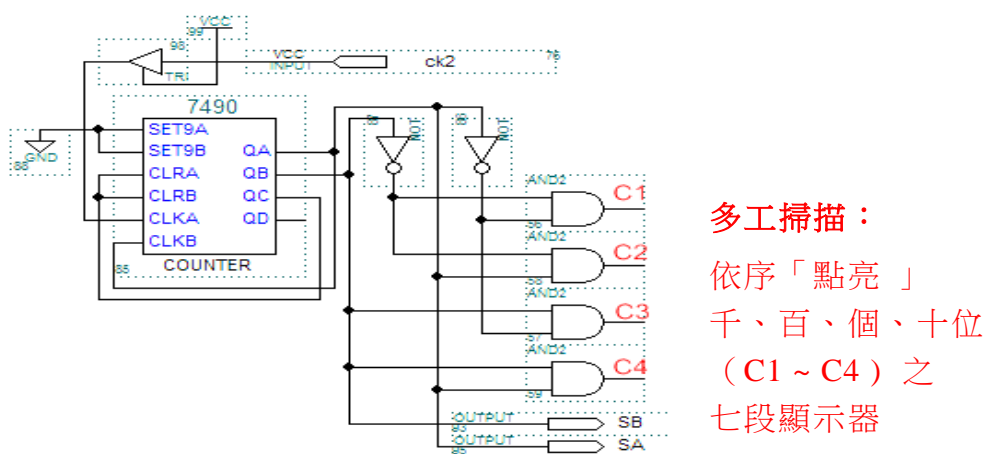
多工：
依序送出四組
BCD 計數器的
內容至解碼器

【圖 7】三態閘多工器電路

【圖 7】中的 1~4 號組 A、B、C、D，分別連接到【圖 9】的對應接腳；C1~C4 則與【圖 8】的 4 個 AND 閘輸出連接。

- 1.以多工掃描顯示的方式將四位數 BCD 計數器的值，分別依序顯示在相對應位置的七段顯示器上，並利用人眼的視覺暫留，只要將掃描的頻率調高，即可覺得顯示的數字是連續的，若將頻率降低，顯示的數字將會依序不停的閃爍。
- 2.「採用多工掃描的顯示方式，是利用每個七段顯示器的共同接腳 (common) 來驅動四個七段顯示器是否被點亮或熄滅。」(林榮松，2011)
- 3.當掃描選擇線 SA、SB 為”00”時，連結到”1”號計數器的 4 組三態閘，因 SA.SB 的關係，使 AND 閘輸出為”1”，牽動相對應整組三態閘的控制腳，此時三態閘形同緩衝器，1 號計數器 (千位) 的 BCD 碼傳送出去。七段顯示器組隨 SA.SB 的狀態改變，經 74155 控制使電晶體的 C 極輸出”1”至目標位數七段顯示器的共點，送出的 BCD 碼將會在共點已導通的七段顯示器顯示出來。
- 4.SA、SB 為”01”、”10”、”11”狀態時的動作情形，可類推得知。

(二). 二位元 4 模計數器 (掃描控制)



【圖 8】二元計數器掃描電路

【圖 8】中，為使 QB、QA 循環 4 種 (0,1,2,3) 狀態，所以每計數到 4 時，就讓它自動歸零，從 0 計數，故將 QC 接到 CLRA、CLRB。SB、SA 同時控制 4 組三態閘的運作與否及四組七段顯示器的亮或熄。

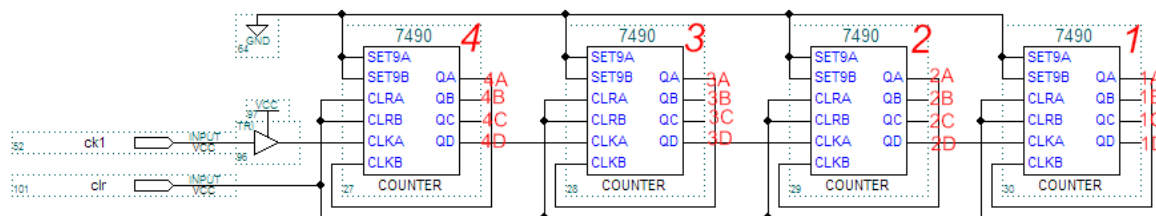
1. SA 與 SB 的資料，是由子電路中的一個二位元上數計數器產生，計數器的時脈輸入是由已裝置電路中之[SCAN] NE555 振盪 IC 提供，並可由 SVR2 來調整振盪頻率高低。
- 2.與【圖 7】電路連接，使得電路中同步選擇相對應的資料輸出，亦即七段顯示器若能顯示是 [千位] (SA=0、SB=0)，則 BCD 碼輸出必為 [千位] 計數器中資料，順序依序是「千位-百位-十位-個位-千位...」。

【表 1】掃描電路真值表

QB	QA	C1	C2	C3	C4
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

當 QB、QA 的狀態改變，4 個 AND 閘則依序輸出 1 至該控制組的三態閘控制接腳，好讓三態閘把閘門「打開」，依序傳送 1~4 號計數器的 BCD 碼。

(三).四位數 BCD 計數器



【圖 9】四位數 BCD 計數器電路

7490 為負緣計數，當 9 (1001) 跳到 0 (0000) 時，最高位元 QD 由 1 變為 0 與之相接的下一級計數器 QA 偵測到負緣變化而 ck1 計數 1 次，十位便增加 1，產生進位，如此動作在兩兩計數器間進行，將不斷進位下去，直到計數到第 1 萬次時，因沒有第五位數可進位，所以剩下的四位數就皆跳為 0。

- 1.四位數 BCD 計數器是由 4 個 7490 計數器所組成，可計數 BCD 0000 ~ 9999，時鐘脈波由 [CNT] NE555 振盪 IC 提供，並可由 SVR1 調整計數的速率。
- 2.四個 7490 計數器時鐘脈波採負緣觸發，具有 16 位元的輸出，輸出情況如【表 2】所示。

【表 2】輸出顯示器對應關係

輸出的位元	對應的位數
1 號計數器 QD~QA	千位數 BCD 資料
2 號計數器 QD~QA	百位數 BCD 資料
3 號計數器 QD~QA	十位數 BCD 資料
4 號計數器 QD~QA	個位數 BCD 資料



【圖 15】0999



【圖 16】1000

繼前面位數的不斷進位之下，當百位由 9 跳為 0 時，千位計數器偵測到負緣變化，ck1 計數 1 次，而前面的位數則全部跳回 0，圖 15~16 為實體圖。

(4).9999~0000 實體圖及模擬波形

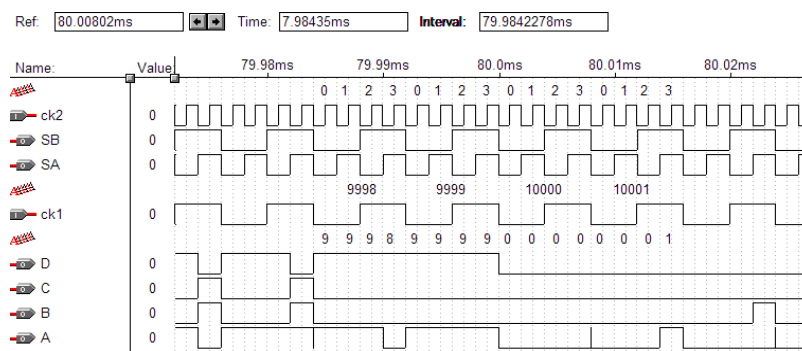


【圖 17】9999



【圖 18】0000

圖 17~19 為 9999 數到 10000 的情形，因沒有第 5 位數可以顯示，所以產生溢位，剩下的 4 位數只好跳回 0000 重新計數。



【圖 19】9999~0000 之模擬波形

(5).掃描測試



【圖 20】千位 ~ 個位掃描順序

為觀察掃描的步驟，因此調低 SVR2 的頻率，圖 20 可見到四位數七段顯示器段依序循千-百-十-個-千-百.....等循環點亮，由於速度極慢，只能看到一個一個位數亮著；若再調快一些，則會看到四位數不停的閃爍；若頻率約高於 200Hz 時，將因視覺暫留導致四位數看起來是同時亮著的。人的眼睛掃描頻率約為 48Hz，要讓四位數在一秒內「刷」48 次，則每一位數的顯示週期為刷完一次的四分之一，固需要約 200Hz 來做掃描的動作。

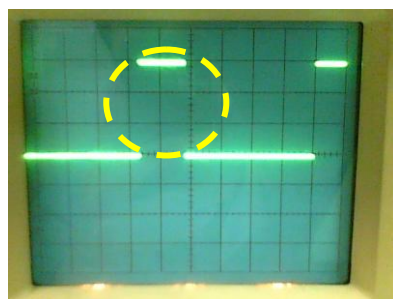
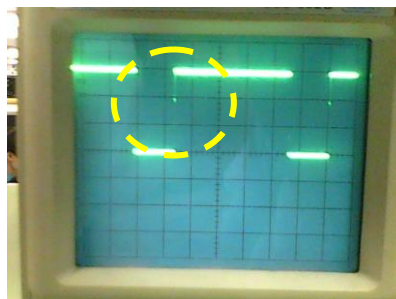
(四). NE555、IC7414 樞密特反閘之功能:

1. 「由 NE555 產生時鐘脈波作用到計數器上，使之計數，透過 SVR 的調整可將頻率調高或調低。」(陳茂璋、鄧明發、郭盈顯，2004)

$$\text{頻率 } f = \frac{1}{T} \cong \frac{1.44}{(R_a + R_b)C}$$

2. 【圖 21】顯示，由於 NE555 之輸出脈波「不乾淨」—諧波太多，導致計數器受雜訊干擾而無法穩定正常計數，因此使用 7414 樞密特反閘使雜訊清除。

諧波造成
計數器計數
狀態不正常

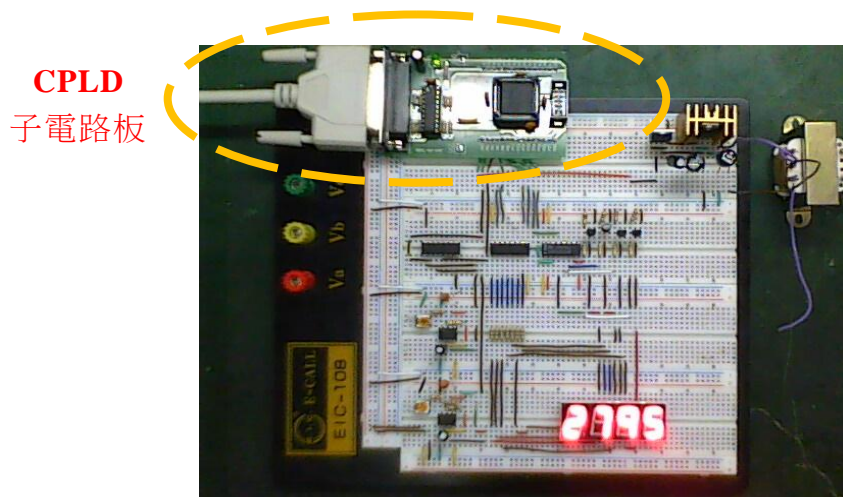


【圖 21】經樞密特閘前的脈波 【圖 22】經樞密特閘反後的脈波

圖 21 中可到 0 變 1 時有諧波雜訊存在 (虛線圈起來的部份); 經樞密特反閘後，上升與下降時間縮短，0 與 1 的狀態分明。

(五). 電路成品圖

圖 23 為插在麵包板上的電路成品圖，虛線橢圓形內那塊綠色與電腦 print port 相連接的電路板即為 CPLD 子電路板，因安插在麵包板上，所以將接腳設在同一側，方便擴接其他週邊電路元件。



【圖 23】 電路成品圖

參●結論

- 一、四位數七段顯示器是由分工掃描的方式將數字千位、百位、十位、個位的 BCD 數「穩定」的呈現在我們「眼前」。
- 二、樞密特閘具有改善波形、清除雜訊的功能，大幅提高電路準位判別的精確率和執行結果。
- 三、CPLD 是能簡化數位邏輯電路設計的絕佳工具，能把複雜的電路軟體化，一方面減少零件的使用，另一方面更大大減少完成電路的時間及成本。
- 四、透過這次的研究，對數位電子乙級技術士技能檢定術科試題已有初步的了解；對明年高三時，報考乙級檢定、獲取證照多了一分信心。

肆●引註資料

- 一、林榮松(2011)。數位電子術科攻略(使用 AHDL)。臺北市:全華圖書。
- 二、陳茂璋、鄧明發、郭盈顯 (2004)。基礎電子實習 II。臺北市:知行。
- 三、黃國倫(2011)。乙級術科 數位電子-使命必達。臺北市:新文京公司。
- 四、行政院勞工委員會中部辦公室 (2011)。數位電子乙級技術士技能檢定術科測試參考資料。臺中市:行政院勞工委員會中部辦公室。